

## ⑫ 公開特許公報 (A)

昭58—63283

⑤ Int. Cl.<sup>3</sup>  
H 04 Q 1/45

識別記号

庁内整理番号  
8125—5K⑬ 公開 昭和58年(1983)4月15日  
発明の数 1  
審査請求 有

(全 4 頁)

## ⑭ 順序変換回路

① 特 願 昭56—161963

② 出 願 昭56(1981)10月13日

⑦ 発 明 者 福井昭  
東京都港区芝五丁目33番1号日  
本電気株式会社内⑦ 発 明 者 菊地史郎  
武蔵野市緑町三丁目9番11号日  
本電信電話公社武蔵野電気通信  
研究所内⑦ 発 明 者 川口正晴  
東京都港区芝虎ノ門一丁目7番  
12号沖電気工業株式会社内

⑦ 発 明 者 森誠

横浜市戸塚区戸塚町216番地株  
式会社日立製作所戸塚工場内⑦ 発 明 者 大崎隆昭  
川崎市中原区上小田中1015番地  
富士通株式会社内⑦ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号

⑦ 出 願 人 日本電信電話公社

⑦ 出 願 人 沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12  
号⑦ 代 理 人 弁理士 芦田坦 外2名  
最終頁に続く

## 明 細 書

## 1. 発明の名称

順序変換回路

## 2. 特許請求の範囲

1. 情報を一時蓄えるバッファメモリを備え、該バッファメモリへ情報を書き込んだ順序とは異なる順序で該バッファメモリから情報を読み出す順序変換回路において、前記バッファメモリへの情報の書き込みタイミング及び前記バッファメモリからの情報の読み出しタイミングに、それぞれ、カウンタ出力値における異なる値を対応させた制御カウンタと、該カウンタの出力値をアドレス入力として受け、前記書き込みタイミングに対応した前記カウンタ出力値のアドレスには前記バッファメモリに対する書き込みアドレスが格納され、前記読み出しタイミングに対応した前記カウンタ出力値のアドレスには前記バッファメモリに対する読み出しアドレス

が格納され、前記カウンタ出力値に応じて前記書き込みアドレス又は前記読み出しアドレスを前記バッファメモリに与えるアドレス制御メモリとを有し、該アドレス制御メモリには、前記バッファメモリへ情報を書き込んだ順序とは異なる順序で該バッファメモリから情報を読み出せるように、前記書き込みアドレス及び前記読み出しアドレスが格納されていることを特徴とする順序変換回路。

## 3. 発明の詳細な説明

本発明は、主として、多周波信号受信器等の入力信号を一時蓄え、該受信器の内部処理に適した順序とタイミングで読み出すような順序変換回路に関する。

ディジタル交換機における多周波信号受信器への入力信号は、時分割通話路スイッチから供給され、その入力順序とタイミングは、ハイウェイのフレーム構成から決まる。このため、入力信号は、多周波信号受信器の処理に都合の良

い一定間隔で回線番号順に入力されるとは限らず、順序とタイミングを変換する必要がある。

従来、入力信号の順序と出力信号の順序を変換する回路は、後に詳述するが、制御カウンタと、書き込みアドレス及び読み出しアドレスのいずれか一方を蓄積する制御メモリと、前記制御カウンタの出力と前記制御メモリの出力との一方を選択するセレクトと、該セレクトの出力によってアドレスを制御され、入力信号を一時蓄積するバッファメモリとから構成されていた。

本発明の目的は、この従来の構成からセレクトを省くことができる順序変換回路を提供することにある。

本発明によれば、情報を一時蓄えるバッファメモリを備え、該バッファメモリへ情報を書き込んだ順序とは異なる順序で該バッファメモリから情報を読み出す順序変換回路において、前記バッファメモリへの情報の書き込みタイミング及び前記バッファメモリからの情報の読み出しタイミングに、それぞれ、カウンタ出力値に

おける異なる値を対応させた制御カウンタと、該カウンタの出力値をアドレス入力として受け、前記書き込みタイミングに対応した前記カウンタ出力値のアドレスには前記バッファメモリに対する書き込みアドレスが格納され、前記読み出しタイミングに対応した前記カウンタ出力値のアドレスには前記バッファメモリに対する読み出しアドレスが格納され、前記カウンタ出力値に応じて前記書き込みアドレス又は前記読み出しアドレスを前記バッファメモリに与えるアドレス制御メモリとを有し、該アドレス制御メモリには、前記バッファメモリへ情報を書き込んだ順序とは異なる順序で該バッファメモリから情報を読み出せるように、前記書き込みアドレス及び前記読み出しアドレスが格納されていることを特徴とする順序変換回路が得られる。

以下、図面を参照して本発明を詳細に説明する。

第1図は前述した従来の順序変換回路を示すブロック図である。制御カウンタ1の出力は、

書き込みアドレス及び読み出しアドレスのいずれか一方を蓄積する制御メモリ2とセクタ3とに入力される。制御メモリ2の出力はセクタ3のもう一方の入力に入力される。セクタ3の出力は、入力信号10を一時蓄積するバッファメモリ4のアドレスとしてバッファメモリ4に供給される。バッファメモリ4の出力信号11が順序変換された出力となる。制御メモリ2には、ランダム書き込みシーケンシャル読み出しの場合にはバッファメモリ4の書き込みアドレスが、シーケンシャル書き込みランダム読み出しの場合にはバッファメモリ4の読み出しアドレスが格納される。

第2図は、第1図に示した従来の順序変換回路の動作を説明するタイムチャートであり、入力信号10がA, B, C, Dの順に入力されるとき、出力信号11をD, C, B, Aの順に、シーケンシャル書き込みランダム読み出しで変換する例を示す。書き込みのタイミング $t_w$ には、セクタ3は、制御カウンタ1を選択し、A, B, C, Dは、

バッファメモリ4のアドレス0, 1, 2, 3に、それぞれ書き込まれる。制御メモリ2のアドレス0, 1, 2, 3に、データとして3, 2, 1, 0をそれぞれ書いておく。読み出しのタイミング $t_r$ には、セクタ3は制御メモリ2を選択しているから、バッファメモリ4のアドレスは3, 2, 1, 0の順に変化し、D, C, B, Aの順に読み出すことができる。

第2図に従えば、制御カウンタ1の出力が0の間に、情報Aをバッファメモリ4の0番地に書き込み、バッファメモリ4の3番地の情報D（既に書き込まれている）を読み出す。続いて、制御カウンタ1の出力が1の間に、情報Bをバッファメモリ4の1番地に書き込み、バッファメモリ4の2番地の情報C（既に書き込まれている）を読み出す。その後も同様に、制御カウンタ1の出力が2の間に、情報Cをバッファメモリ4の2番地に書き込みそしてバッファメモリ4の1番地の情報Bを読み出し、続いて、制御カウンタ1の出力が3の間に、情報Dをバッ

バッファメモリ4の3番地に書き込みそしてバッファメモリ4の0番地の情報Aを読み出す。

第2図の場合、制御カウンタ5は、バッファメモリ4への情報(例えばA)の書き込みタイミング $t_w$ 及びバッファメモリ4からの情報(例えばD)の読み出しタイミング $t_r$ に、同一のカウンタ1の出力値(例えば0)を対応させたものである。即ち、制御カウンタ1の1つの出力値に対して1回の書き込みタイミング $T_w$ 及び1回の読み出しタイミング $T_r$ が対応しているのである。

第3図は本発明の一実施例を示すブロック図である。第3図において、制御カウンタ5は、第4図から明らかなように、バッファメモリ4への情報(例えばA)の書き込みタイミング $t_w$ 及びバッファメモリ4からの情報(例えばD)の読み出しタイミング $t_r$ に、それぞれ、カウンタ出力値における異なる値(例えば、0と1)を対応させたものである。この点が、第1図及び第2図の従来例と大きく異なる点の一つであ

る。

制御カウンタ5の出力はアドレス制御メモリ6に入力され、アドレス制御メモリ6の出力は入力信号10を一時蓄積するバッファメモリ4のアドレスとしてバッファメモリ4に供給されバッファメモリ4の出力が順序変換された出力信号11となる。

アドレス制御メモリ6には、ランダム書き込みシーケンシャル読み出しの場合も、シーケンシャル書き込みランダム読み出しの場合も、バッファメモリ4の書き込み及び読み出し両方のアドレスを覚えておく。この点も、第1図及び第2図の従来例と大きく異なる点の一つである。そして、それぞれ書き込み、読み出しのタイミングにアドレス制御メモリ6から読み出せば、従来の方法による第1図のセクタ3の出力と同じものが得られ、同じ動作をさせることができる。

第4図は第3図に示した本発明の一実施例の動作を説明するタイムチャートであり、第2図

と同様に、入力信号10がA, B, C, Dの順に入力されるとき、出力信号11をD, C, B, Aの順に、シーケンシャル書き込みランダム読み出しで変換する例を示す。

アドレス制御メモリ6のアドレス0, 2, 4, 6にデータ0, 1, 2, 3をそれぞれ書いておくと、書き込みのタイミング $t_w$ には、バッファメモリ4のアドレス0, 1, 2, 3に入力A, B, C, Dがそれぞれ書かれる。また、アドレス制御メモリ6のアドレス1, 3, 5, 7に、データ3, 2, 1, 0をそれぞれ書いておくと、読み出しのタイミング $t_r$ には、バッファメモリ4のアドレスは、3, 2, 1, 0の順に変化し、D, C, B, Aの順に読み出すことができる。

つまり、第4図では、アドレス制御メモリ6には、0, 2, 4, 6番地に、バッファメモリ4に対する書き込みアドレスを、0, 1, 2, 3という順に格納しておき、また、1, 3, 5, 7番地に、バッファメモリ4に対する読み出しアドレスを、3, 2, 1, 0という順に格納しておく。

そして、制御カウンタ5の出力が0の時に、情報Aをバッファメモリ4の0番地に書き込む。次に、制御カウンタ5の出力が1の時に、バッファメモリ4の3番地の情報D(既に書き込まれている)を読み出す。続いて、制御カウンタ5の出力が2の時に情報Bをバッファメモリ4の1番地に書き込み、次に制御カウンタ5の出力が3の時にバッファメモリ4の2番地の情報C(既に書き込まれている)を読み出す。その後も同様に、制御カウンタ5の出力が4の時に情報Cをバッファメモリ4の2番地に書き込み、制御カウンタ5の出力が5の時にバッファメモリ4の1番地の情報Bを読み出し、制御カウンタ5の出力が6の時に情報Dをバッファメモリ4の3番地に書き込み、制御カウンタ5の出力が7の時にバッファメモリ4の0番地の情報Aを読み出す。

このように、第3図に示した本発明の一実施例の構成で、第1図に示した従来の構成の場合と同じ機能を果たすることができる。

本発明によれば、以上説明したように、従来の構成からセクタを省くことができる順序変換回路が得られ、順序変換回路のハード量を小さくできる効果がある。

なお、本発明は、上述した実施例に限定されるものではなく、特許請求の範囲の範囲内において行われる種々の変形や変更をも含むものであることはもちろんである。

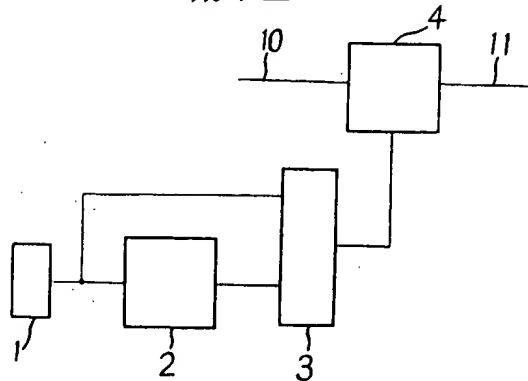
#### 4. 図面の簡単な説明

第1図は従来の順序変換回路を示すブロック図、第2図は第1図のタイムチャート図、第3図は本発明の一実施例による順序変換回路を示すブロック図、第4図は第3図のタイムチャート図である。

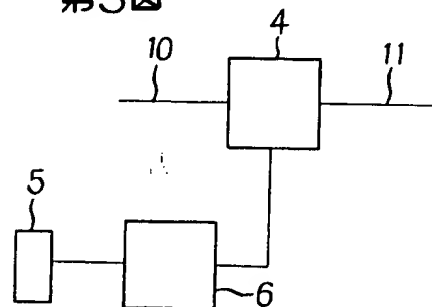
1及び5…制御カウンタ、2…制御メモリ、3…セクタ、4…バッファメモリ、6…アドレス制御メモリ、10…入力信号、11…出力信号。

代理人 (5,841) 弁理士 芦田 垣

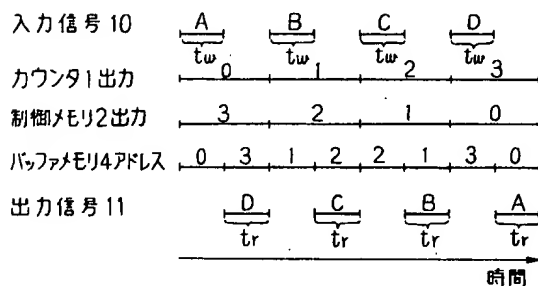
### 第1図



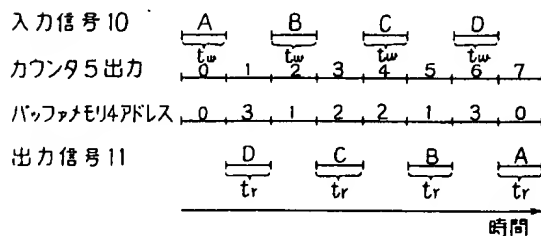
### 第3図



### 第2図



### 第4図



#### 第1頁の続き

- ⑩出願人 株式会社日立製作所  
東京都千代田区丸の内一丁目5番1号
- ⑪出願人 富士通株式会社  
川崎市中区上小田中1015番地